



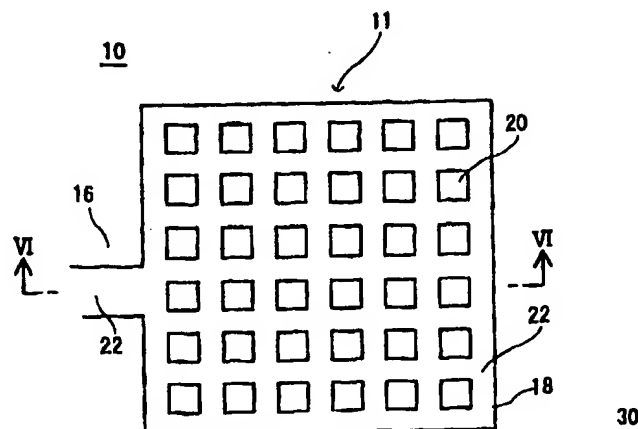
PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類6 H01L 21/3205</p>	<p>A1</p>	<p>(11) 国際公開番号 WO99/38204</p> <p>(43) 国際公開日 1999年7月29日(29.07.99)</p>
<p>(21) 国際出願番号 PCT/JP99/00225</p> <p>(22) 国際出願日 1999年1月22日(22.01.99)</p> <p>(30) 優先権データ 特願平10/11354 1998年1月23日(23.01.98) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) ローム株式会社(ROHM CO., LTD.)(JP/JP) 〒615-0045 京都府京都市右京区西院溝崎町21 Kyoto, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 山本浩史(YAMAMOTO, Koji)(JP/JP) 熊本信久(KUMAMOTO, Nobuhisa)(JP/JP) 松本宗之(MATSUMOTO, Muneyuki)(JP/JP) 〒615-0045 京都府京都市右京区西院溝崎町21 ローム株式会社内 Kyoto, (JP)</p> <p>(74) 代理人 弁理士 山田義人(YAMADA, Yoshito) 〒541-0044 大阪府大阪市中央区伏見町2-6-6 タナベビル Osaka, (JP)</p>		<p>(81) 指定国 JP, KR, US, 欧州特許 (DE, FR, GB)</p> <p>添付公開書類 国際調査報告書</p>

(54)Title: DAMASCENE INTERCONNECTION AND SEMICONDUCTOR DEVICE

(54)発明の名称 ダマシン配線および半導体装置



(57) Abstract

A semiconductor device comprising an insulating layer, interconnection grooves formed in the insulating layer and communicating with a semiconductor chip, and pad grooves communicating with the interconnection grooves. The pad grooves include projections formed by leaving part of the insulating layer unremoved. After conductor layer is formed on the insulating layer, including in the interconnection grooves and the pad grooves, the conductor layer is removed by a CMP technique, while the projections serve to prevent the conductor layer in the pad grooves from being overpolished.

(57)要約

半導体装置は、絶縁膜を含み、この絶縁膜上に、半導体素子に通じる配線溝、およびその配線溝に通じるパッド溝が形成される。パッド溝中には、絶縁膜の一部を残すことによって、突起が形成される。配線溝およびパッド溝を含んで絶縁膜上に導電膜を形成した後、CMP法によって、その導電膜が除去される。このとき、突起がパッド溝内の導電膜がオーバーポリッシュされるのを防止する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	ES スペイン	LI リヒテンシュタイン	SG シンガポール
AL アルバニア	FI フィンランド	LK スリ・ランカ	SI スロヴェニア
AM アルメニア	FR フランス	LR リベリア	SK スロヴァキア
AT オーストリア	GA ガボン	LS レソト	SL シェラ・レオネ
AU オーストラリア	GB 英国	LT リトアニア	SN セネガル
AZ アゼルバイジャン	GD グレナダ	LU ルクセンブルグ	SZ スワジランド
BA ボスニア・ヘルツェゴビナ	GE グルジア	LV ラトヴィア	TD チャード
BB バルバドス	GH ガーナ	MC モナコ	TG トーゴ
BE ベルギー	GM ガンビア	MD モルドヴァ	TJ タジキスタン
BF ブルキナ・ファソ	GN ギニア	MG マダガスカル	TM トルクメニスタン
BG ブルガリア	GW ギニア・ビサウ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
BJ ベナン	GR ギリシャ	共和国	TT トリニダード・トバゴ
BR ブラジル	HR クロアチア	マリ	UA ウクライナ
BY ベラルーシ	HU ハンガリー	ML モンゴル	UG ウガンダ
CA カナダ	ID インドネシア	MR モーリタニア	US 米国
CF 中央アフリカ	IE アイルランド	MW マラウイ	UZ ウズベキスタン
CG コンゴ	IL イスラエル	MX メキシコ	VN ヴィエトナム
CH スイス	IN インド	NE ニジェール	YU ユーゴスラビア
CI コートジボアール	IS アイスランド	NL オランダ	ZA 南アフリカ共和国
CM カメルーン	IT イタリア	NO ノールウェー	ZW ジンバブエ
CN 中国	JP 日本	NZ ニュー・ジーランド	
CU キューバ	KE ケニア	PL ポーランド	
CY キプロス	KG キルギスタン	PT ポルトガル	
CZ チェッコ	KP 北朝鮮	RO ルーマニア	
DE ドイツ	KR 韓国	RU ロシア	
DK デンマーク	KZ カザフスタン	SD スーダン	
EE エストニア	LC セントルシア	SE スウェーデン	

明細書

ダマシン配線および半導体装置

技術分野

この発明はダマシン配線および半導体装置に関する。より詳細には、この発明は、ボンディングパッドをパッド溝およびそのパッド溝に埋め込んだ金属膜ないし導電膜によって形成した、ダマシン配線およびそれを用いる半導体装置に関する。

従来技術

近年では、半導体装置における配線を多層化する際に、金属膜ないし導電膜を絶縁膜に埋め込む、いわゆるダマシン(damascene)法が採用されつつある。

一般的なダマシン配線では、簡単に説明すると、図1(a)に示すように半導体基板1上に形成された絶縁膜2を、図1(b)に示すように、配線に対応するようパターンニングされたレジスト3をマスクとしてエッチングして、溝4を形成する。続いて、レジスト3を除去した後、図1(c)に示すように、溝4を覆うようにして導電膜5を形成する。そして、図1(d)に示すように、たとえば化学機械的研磨法(Chemical Mechanical Polish Method: 以下、「CMP法」という。)等を用いた研磨工程において、溝4以外の部分の導電膜5を除去する。

導電膜5をCMP法によって除去する場合には、図2に示すように、溝の開口面積が大きいほど溝に埋め込まれた導電膜の研磨レートが大きくなることが知られている。したがって、一般配線のように溝の開口面積が小さい部分では特に問題は生じないが、図3に示すボンディングパッド6のように溝の開口面積が大きい部分では、図4に示すように、溝中の導電膜5が研磨材によって皿状に削られてしまい、いわゆるディッシング(dishing)を生じる。そのために、ボンディングパッドとICフレームとの接続時に、肉厚が薄くなった中央部Aにおいて、断線や抵抗値の上昇が生じることがあった。

発明の概要

それゆえに、この発明の主たる目的は、新規な、ダマシン配線および半導体装置を提供することである。

この発明の他の目的は、ボンディングパッドにおけるディッシングに起因する抵抗値の上昇や断線を防止できる、ダマシン配線およびそれを用いる半導体装置を提供することである。

この発明に従ったダマシン配線は、次のものを備える：絶縁膜に形成された配線溝およびこれに連通するパッド溝；パッド溝中において絶縁膜を部分的に除去しないことによって絶縁膜で形成されるかつパッド溝の実質的な開口面積を小さくする突起；および 配線溝およびパッド溝中に埋め込まれる導電膜。

このようなダマシン配線を半導体装置に用いた場合、その半導体装置は、次のものを備える：半導体基板；半導体基板上に形成される絶縁膜；絶縁膜上に形成されかつ半導体素子に通じる配線溝；絶縁膜上に形成されかつ配線溝に通じるパッド溝；パッド溝中において絶縁膜を部分的に除去しないことによって絶縁膜で形成されるかつパッド溝の実質的な開口面積を小さくする突起；および配線溝およびパッド溝中に埋め込まれる導電膜。

CMP法等によって導電膜を除去する際には、パッド溝を細分する突部が研磨材のストッパとして機能する。したがって、パッド溝中の導電膜が過剰に削り取られる、いわゆるディッシングは生じない。そのため、この発明によれば、ボンディングパッドにおけるディッシングに起因する抵抗値の上昇や断線を防止できる。

なお、突起はパッド溝中に埋め込まれた導電膜を分断しないように形成されてもよく、また導電膜を分断するように形成されてもよい。ただし、導電膜を分断する場合には、分断された導電膜部分を互いに電氣的に一体化する別の手段が必要である。その別の手段は、絶縁膜に形成されたかつ導電膜と絶縁膜の下に配置されている別の導電膜とを電氣的に接続するコンタクトホールでよい。ただし、コンタクトホールは、突起によってパッド溝内の導電膜を分断しない場合にも有効である。

ある実施例では、突起はパッド溝中に適宜の間隔で分布される複数の島状突起

を含み、他の実施例では、突起は突条を含む。

この発明の上述の目的、その他の目的、特徴、および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなろう。

図面の簡単な説明

- 図 1 は一般的なダマシン配線の方法を示す図解図であり；
- 図 2 は CMP の一般的な研磨特性を示すグラフである。
- 図 3 は従来技術を示す図解図であり；
- 図 4 は図 3 における IV-IV 断面図であり；
- 図 5 はこの発明の一実施例を示す図解図であり；
- 図 6 は図 5 における VI-VI 断面図であり；
- 図 7 は図 5 実施例の形成方法を示す図解図であり；
- 図 8 はこの発明の他の実施例を示す図解図であり；
- 図 9 はこの発明の他の実施例を示す図解図であり；
- 図 10 はこの発明の他の実施例を示す図解図であり；
- 図 11 は図 10 における XI-XI 断面図であり；
- 図 12 はこの発明の他の実施例を示す図解図であり；そして
- 図 13 はこの発明の他の実施例を示す図解図である。

発明を実施するための最良の形態

図 5 および図 6 に示すこの実施例の半導体装置 10 は、たとえばシリコン (Si) 等からなる半導体基板 12 を含む。ただし、半導体基板 12 の材料は他の任意のものであってよい。この半導体基板 12 上には、図示しないが、能動素子および/または受動素子を含む半導体素子が形成されている。

半導体装置 10 のダマシン配線部 11 は、半導体基板 12 上において、その半導体素子 (図示せず) から延びる配線溝 16、およびその配線溝 16 に連通するパッド溝 18 を含む。すなわち、半導体基板 12 上には、たとえば酸化シリコン (SiO_2) 等からなる絶縁膜 14 が一様の膜厚で形成され、絶縁膜 14 には、配線溝 16 およびこれに連通するパッド溝 18 が形成される。絶縁膜 14 の材料

は他の任意のものでよい。

なお、図5および図6では、図解および説明の簡単化のために、半導体基板12の表面に直接絶縁膜14が形成されたものとして図示されている。しかしながら、実際の半導体装置においては、周知のように、半導体基板12上に1層または複数層の半導体素子層を形成していて、各半導体素子層に必要な応じて配線層が形成されるものである。そして、上述の配線溝16は半導体素子（図示せず）とパッド溝18とを電氣的に接続するもので、パッド溝18は、図示しないICフレームとの間でワイヤボンディングするためのボンディングパッドとして機能する。つまり、パッド溝18は各層の半導体素子に必要な応じてICフレームに引き出すための接続部である。

このようなダマシン配線部11では、従来では、配線溝16およびパッド溝18内に銅（Cu）、アルミニウム（Al）、タングステン（W）等のような導電膜を形成するだけであった。

しかしながら、この実施例においては、開口面積が相対的に大きいパッド溝18において、先に述べたディッシングを防止するために、以下の工夫が施されている。すなわち、パッド溝18内には、絶縁膜14が島状に残され、したがってパッド溝18は、その複数の島状突起20によって細分される。ただし、島状突起20はパッド溝18内の一部を他の一部から分断するものではなく、パッド溝18の島状突起20を除く部分は互いに連通している。つまり、この実施例のパッド溝18は、全体としては大きく開口されているが、島状突起20によって実質的な開口面積が小さくされている。具体的には、この実施例では、パッド溝18の一辺が50～200 μ m程度に設定され、突起20の間隔が5～20 μ m程度に設定される。

このように複数の島状突起20が形成されたパッド溝18内に、配線溝16内と同様に、上述の金属あるいは他の導電材料からなる導電膜22を形成する。したがって、半導体装置10に形成された半導体素子（図示せず）が、配線溝16中に埋め込まれた導電膜22を通して、パッド溝18すなわちパッド溝18内に埋め込まれた導電膜22に電氣的に接続される。そのため、パッド溝18内に形成された導電膜22に接続ワイヤ（図示せず）をボンディングすることによ

て、半導体素子が接続ワイヤすなわちICリードフレームと電氣的に接続される。

以下には、図7に従って、上述のダマシン配線部11を有するこの実施例の半導体装置10の具体的な製造方法を説明する。なお、図7においても、便宜上、半導体基板12の表面に絶縁膜12が形成されているが、先に述べたように、半導体装置10には適宜数の半導体素子層が形成されていて、図7は便宜上、1層のみの配線構造のみを示すことに留意されたい。

図7(a)に示すように半導体基板12上に熱酸化法等によって絶縁膜14を積層した後、図7(b)に示すように絶縁膜14を、結果的に島状突起20が残るようにパターニングしたレジスト24でマスクして、エッチングすることによって、配線溝16およびパッド溝18を形成する。このときパッド溝18内には、複数の島状突起20が形成されている。続いて、レジスト24を除去した後、図7(c)に示すように、配線溝16およびパッド溝18を含む半導体基板12上に、全面に亘って、たとえばCVD法や高温スパッタ法により、導電膜22を形成する。そして、図7(d)に示すように、絶縁膜14上に形成された導電膜22をCMP法によって除去する。

CMP法では、定盤に張り付けられた研磨パッドに、基板ホルダに装着された半導体基板12（絶縁膜14および導電膜22を含む。）を押し当て、研磨パッドに研磨微粒子を含むスラリーを供給しながら、定盤および基板ホルダの双方を回転する。そして、絶縁膜14上に形成された導電膜22が削り取られた時点で、研磨を終了する。このとき、CMPでの絶縁膜14の研磨レートが導電膜22の研磨レートよりも小さくなるように、研磨微粒子の種類（材料、粒度等）が選ばれる。発明者等の実験によれば、具体的には、（導電膜22の研磨レート）／（絶縁膜14の研磨レート） $\geq 20-10$ 程度の研磨レートの比が望ましい。なぜなら、CMPでは、絶縁膜14上の導電膜22はできるだけ速く除去するの必要があるが、研磨による絶縁膜14自体の損傷をできるだけ防止するとともに、島状突起20はパッド溝18内の導電膜22のオーバーポリッシュを防止するものであり、そのためには絶縁膜14の研磨に対する抵抗力を導電膜22のそれに比べて大きくする必要がある。

この実施例によれば、導電膜22の除去工程（図7(d)）において、研磨レ

ートが小さい突部20（絶縁膜14）が研磨パッドによる導電膜22の研磨の進行を阻止するので、パッド溝18内の導電膜22が過剰に削り取られるのを防止できる。したがって、パッド溝18部分でのディッシングに起因する抵抗値の上昇や断線を防止できる。

つまり、図3および図4に示す従来技術では、パッド溝6の開口全面に研磨パッド（図示せず）が接触するので、開口面積の大きいパッド溝6の部分では、部分的にオーバーポリッシュが生じ、結果としてディッシングを生じている。これに対して、この実施例によれば、パッド溝18の全体の開口面積は大きいものの、開口が島状突起20によって細分され、島状突起20に挟まれた部分についてみれば、開口面積は小さくなる。そのため、オーバーポリッシュは生じず、結果的に、パッド溝18内の導電膜22の表面は、図6や図7（d）に示すように、平坦になる。

このように、この発明では、開口面積が大きいほど研磨レートが大きくなるという研磨特性を有するCMP法を用いるときに、パッド溝中に突起を形成することによって実質的な開口面積を小さくし、それによってディッシングを防止するようにしている。

なお、突部20は、パッド溝18を細分するものであればよく、その形状は、図8に示すような直線であってもよく、あるいは図9に示すような螺旋であってもよい。

すなわち、図8に示す実施例では、矩形のパッド溝18の4辺のそれぞれの内縁から内方に向かって延びるように複数の突起ないし突条20が形成される。ただし、この場合も、パッド溝18の他の部分は互いに連通する。この実施例でも、複数の突条20相互間および各辺から延びる突条相互間さらには、突条20とパッド溝18の内縁との間において、実質的な開口面積が減じられている。

図9の実施例では、パッド溝18内に、1本の突条20が螺旋状に形成される。図9の実施例では、突条20が渦巻状に形成されるので、パッド溝18内が分断されることはない。このように、螺旋状の突条20を形成することによって、突条20の各部分間および突条20とパッド溝18の内縁間において、開口面積が実質的に低減される。

また、必要であれば、図10～図13に示すように、パッド溝18の底部を構成する絶縁膜14に接続孔ないしコンタクトホール26を設け、導電膜22と図示しない下層の導電膜とをそのコンタクトホール26によって電氣的に接続するようにしてもよい。

ここで、図10および図11を参照して、絶縁膜14にコンタクトホール26を形成する実施例について詳細に説明する。この実施例は、図11に示すように、絶縁膜14の下に別の層が形成されている半導体装置に適用される。すなわち、半導体基板12上には、別の絶縁膜28が形成され、その絶縁膜28上に別の導電膜30が形成される。そして、上述の絶縁膜14が別の導電膜30の上に形成される。パッド溝18の底面に、それぞれが絶縁膜14を貫通する複数のコンタクトホール26を形成する。パッド溝18中に金属膜ないし導電膜22を形成するとき、その金属ないし導電材料がコンタクトホール26中にも埋め込まれ、したがって、上層の導電膜22と下層の導電膜30とが互いに電氣的に接続される。このように、パッド溝18にコンタクトホール26を形成して導電膜22および30を接続することによって、パッド溝18中に突起20を形成する場合に予想される不都合を解消することができる。

すなわち、この発明に従ってパッド溝18中に突起や突条を形成すると、パッド溝18の容積すなわちパッド溝18中の導電膜22の体積を減じることになる。パッド溝18中の導電膜22の体積が小さくなることによって、ボンディングパッドにおける電気抵抗が大きくなることが予想される。しかしながら、図10および図11実施例のように、導電膜22を導電膜30に接続するようにすれば、導電膜22の実効体積が増大されるので、電気抵抗の増大を可及的抑制することができる。

図12に示す実施例は、図8実施例にコンタクトホール26を設けることによって、パッド溝18中の導電膜22を下層の導電膜と一体化するものである。

図13の実施例では、図9実施例とは異なり、突条20を閉鎖ループとして形成している。したがって、この実施例では、上述の各実施例とは異なり、パッド溝18中の導電膜22が突条20によって分断されることになる。このような場合、上述のコンタクトホール26は特に有効である。すなわち、コンタクトホー

ル26を形成することによって、パッド溝18中の導電膜22が下層の導電膜30（図11）に接続されるので、その導電膜30を通してパッド溝18中の導電膜22の各分断部分が電氣的に一体化される。つまり、図13実施例では、突条ないし突部20を閉鎖突条として形成しているが、導電膜22は接続孔26を通して下層の導電膜に接続されているので、突起ないし突条20によるパッド溝18内での断線の問題は生じない。

なお、この発明において、パッド溝の実質的開口面積を減じるための突起ないし突条は、パッド溝内に、複数設けられてもよく、1つの突起ないし突条のみが用いられてもよい。

この発明が詳細に説明され図示されたが、それは単なる図解および一例として用いたものであり、限定であると解されるべきではないことは明らかであり、この発明の精神および範囲は添付されたクレームの文言によってのみ限定される。

請求の範囲

1. 次のものを備えるダマシン配線：

絶縁膜に形成された配線溝およびこれに連通するパッド溝；

前記パッド溝中において前記絶縁膜を部分的に除去しないことによって前記絶縁膜で形成されるかつ前記パッド溝の実質的な開口面積を小さくする突起；および

前記配線溝および前記パッド溝中に埋め込まれる導電膜。

2. クレーム1に従属するダマシン配線であって、前記突起は前記パッド溝中に埋め込まれた前記導電膜を分断しないように形成される。

3. クレーム2に従属するダマシン配線であって、前記突起は前記パッド溝中に適宜の間隔で分布される複数の島状突起を含む。

4. クレーム2に従属するダマシン配線であって、前記突起は突条を含む。

5. クレーム1に従属するダマシン配線であって、前記突起は前記パッド溝中に埋め込まれた前記導電膜を分断するように形成される。

6. クレーム5に従属するダマシン配線であって、前記突起は前記パッド溝内において一部を囲む閉鎖突条を含む。

7. クレーム1ないし6のいずれかに従属するダマシン配線であって、さらに前記パッド溝中に形成されるかつ前記導電膜と前記絶縁膜の下に配置されている別の導電膜とを電気的に接続するコンタクトホールを備える。

8. 次のものを備える半導体装置：

半導体基板；

前記半導体基板上に形成される絶縁膜；

前記絶縁膜上に形成されかつ半導体素子に通じる配線溝；

前記絶縁膜上に形成されかつ前記配線溝に通じるパッド溝；

前記パッド溝中において前記絶縁膜を部分的に除去しないことによって前記絶縁膜で形成されるかつ前記パッド溝の実質的な開口面積を小さくする突起；および

前記配線溝および前記パッド溝中に埋め込まれる導電膜。

9. クレーム8に従属する半導体装置であって、前記突起は前記パッド溝中に

埋め込まれた前記導電膜を分断しないように形成される。

10. クレーム9に従属する半導体装置であって、前記突起は前記パッド溝中に適宜の間隔で分布される複数の島状突起を含む。

11. クレーム9に従属する半導体装置であって、前記突起は突条を含む。

12. クレーム8に従属する半導体装置であって、前記突起は前記パッド溝中に埋め込まれた前記導電膜を分断するようにに形成される。

13. クレーム12に従属する半導体装置であって、前記突起は前記パッド溝内において一部を囲む閉鎖突条を含む。

14. クレーム8ないし13のいずれかに従属する半導体装置であって、さらに前記絶縁膜の下に形成される別の導電膜；および前記パッド溝中において前記絶縁膜に形成されるかつ前記導電膜と前記別の導電膜とを電氣的に接続するコンタクトホールを備える。

図 1

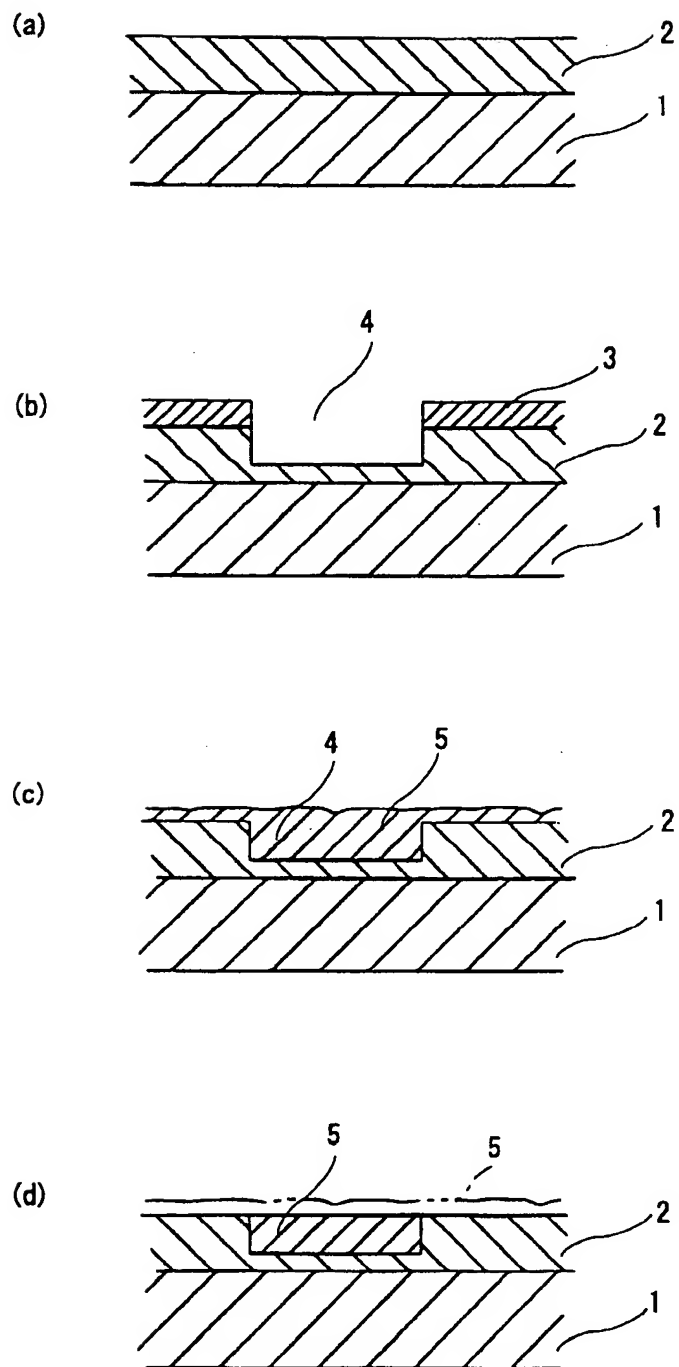


図 2

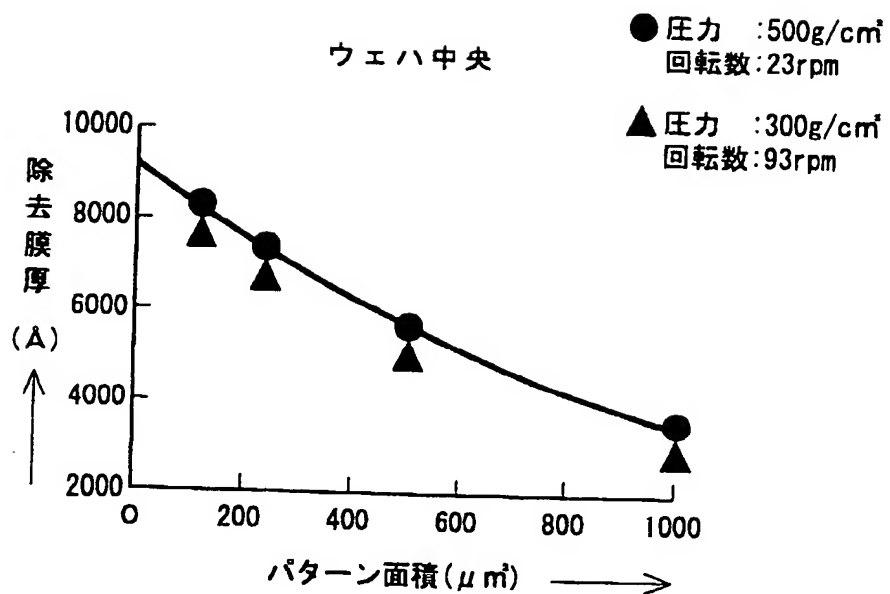


図 3

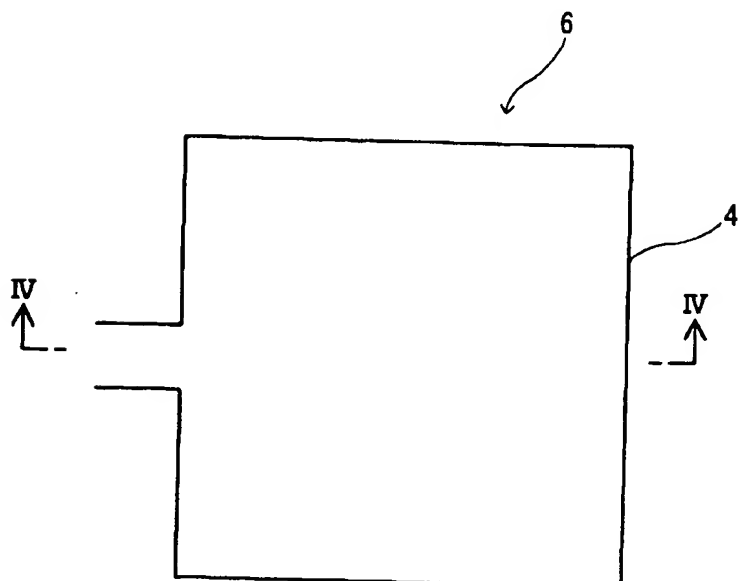


図 4

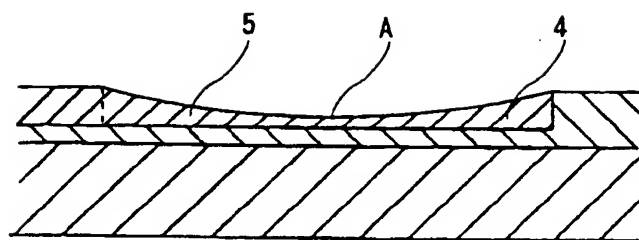


図 5

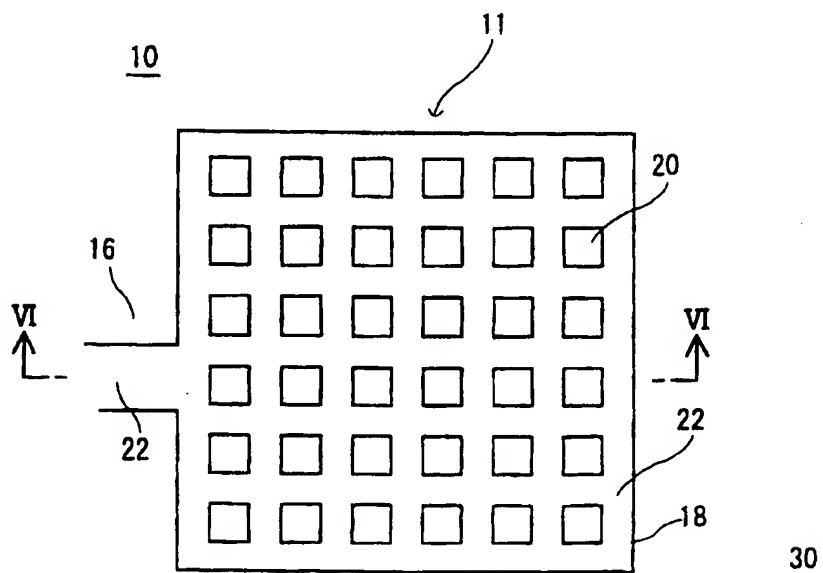


図 6

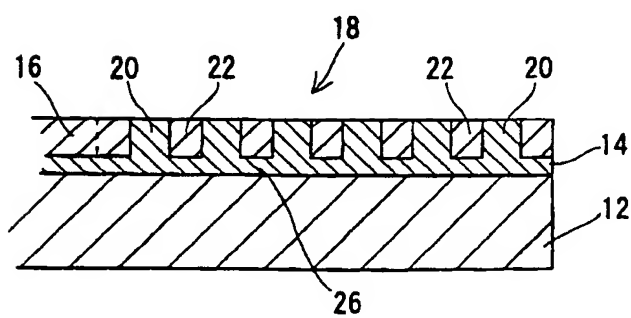


図 7

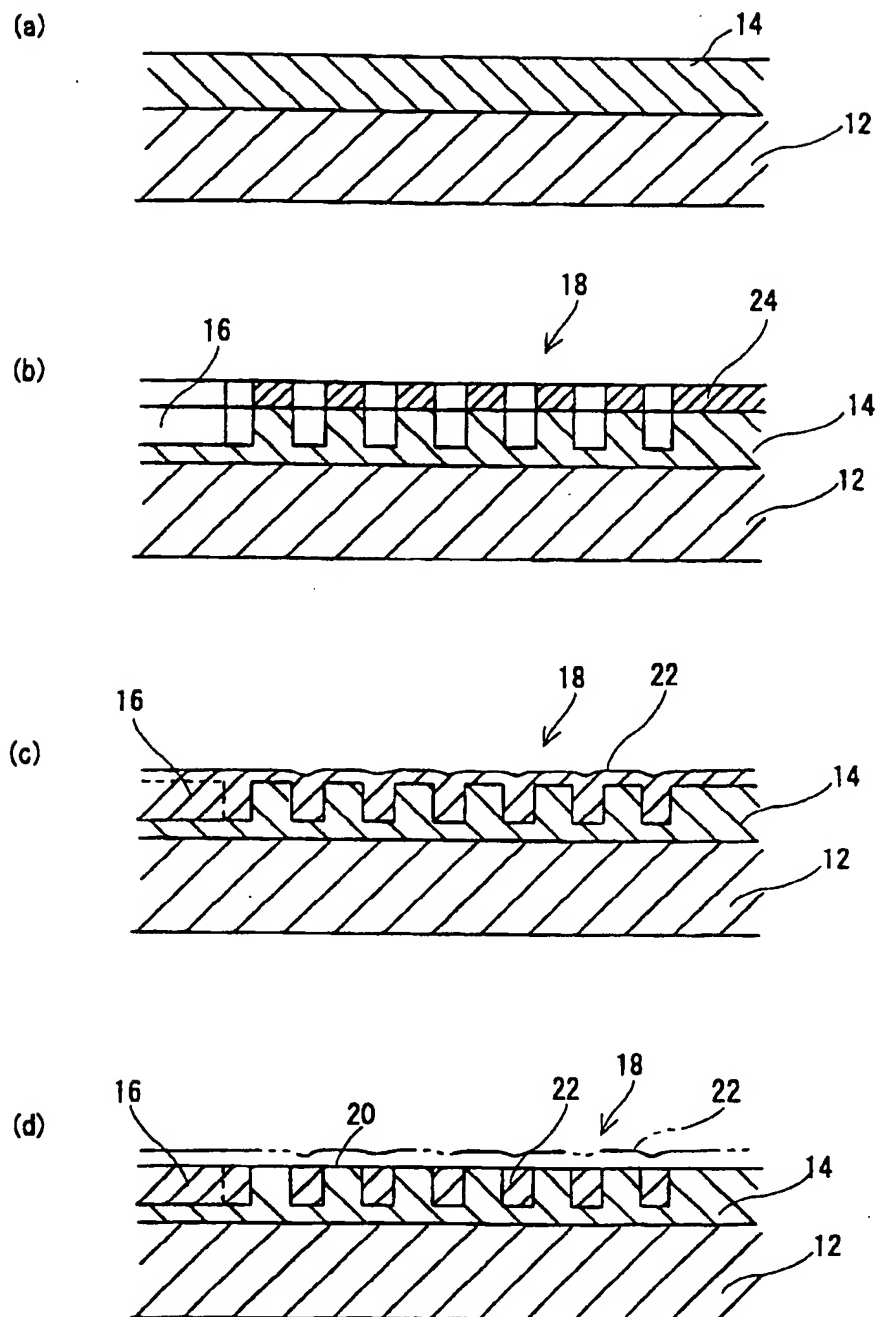


図 8

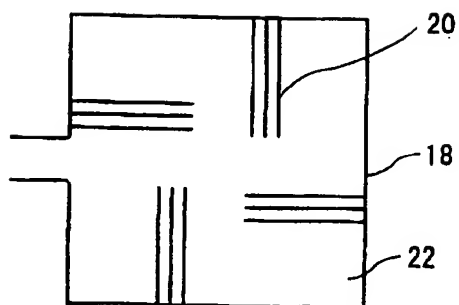


図 9

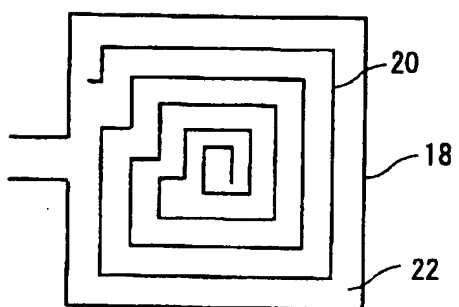


図 10

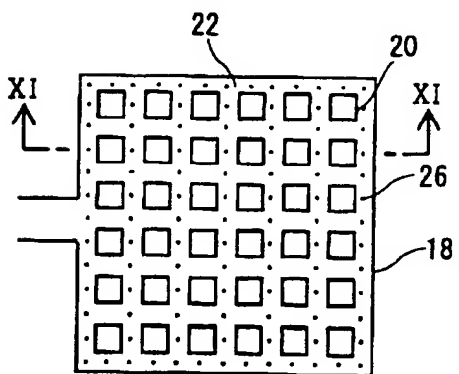


図 1 1

10

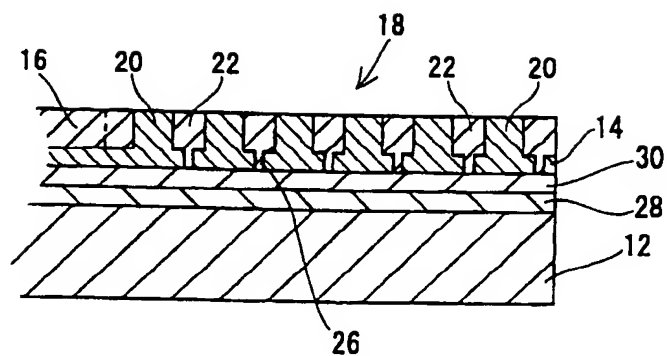


図 1 2

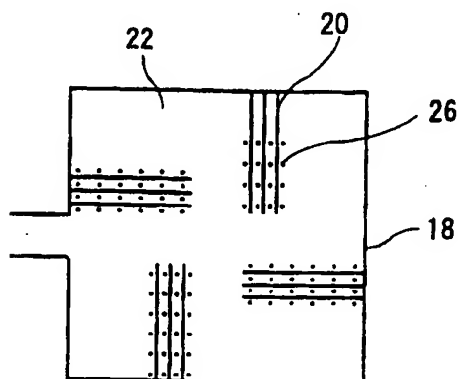
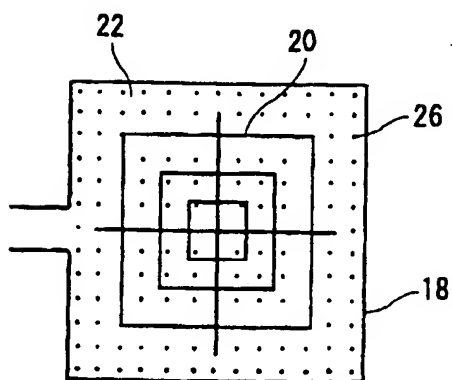


図 1 3



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/00225

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H01L21/3205

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ H01L21/3205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1999 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 6-318590, A (NEC Corp.), 15 November, 1994 (15. 11. 94) (Family: none)	1-14

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
2 April, 1999 (02. 04. 99)

Date of mailing of the international search report
13 April, 1999 (13. 04. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP99/00225

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁶ H01L21/3205

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁶ H01L21/3205

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1999年

日本国登録実用新案公報 1994-1999年

日本国公開実用新案公報 1971-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 6-318590, A (日本電気株式会社), 15.11月. 1994 (15.11.94) (ファミリーなし)	1-14

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

02.04.99

国際調査報告の発送日

13.04.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

瀧内 健夫

4L

9054

電話番号 03-3581-1101 内線 6761

